

Einführung in Computer Microsystems

1. Aufgabenblatt

Sommersemester 2007

Aufgabe 1: MaxMin

Gegeben ist folgende aus der Vorlesung bekannte Schaltung:

```
`timescale 1ns / 1ps
module maximum (
  input wire [7:0] A, B,
  output reg [7:0] RESULT
);

always @(A, B)
  if (A > B)
    RESULT = A;
  else
    RESULT = B;

endmodule
```

- a)** Legen Sie mit Xilinx ISE ein neues Projekt an, welches obiges Verilog-Modul enthält. Nutzen Sie dazu den New Project Wizard (**File** → **New Project...**). Geben Sie als Family/Device Virtex2P/XC2VP30 an (Package FF896, Speed -5). Erzeugen Sie eine Testbench und ergänzen sie diese, so dass alle relevanten Schaltungsfunktionen getestet werden. Verwenden Sie Verzögerungen von 1 ns (#1) zwischen den Stimuli. Führen Sie eine Verhaltenssimulation (Behavioral Simulation) durch und überprüfen Sie anhand der Waveforms die korrekte Funktion der Schaltung.
- b)** Führen Sie nun eine Simulation der fertig in Hardware implementierten Schaltung aus a) (nicht der Testbench) durch. Legen Sie dazu den Schalter **Sources for:** oben links auf **Post-Route Simulation** um, aktivieren anschließend im linken mittleren Fenster den Reiter **Processes** und

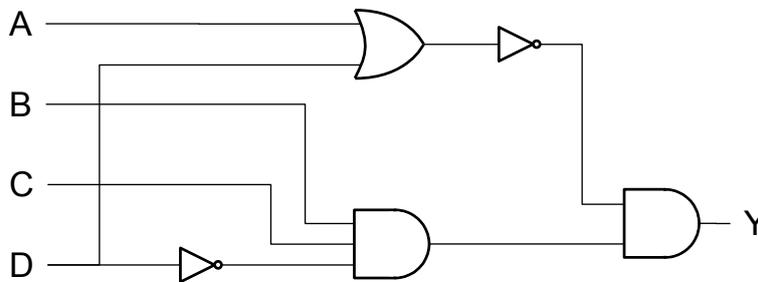
doppelklicken auf **Simulate Post-Place & Route Model**. Die Verilog-Beschreibung wird automatisch synthetisiert und implementiert, anschließend startet der Simulator. Vergleichen Sie die Waveforms mit denen aus a). Was fällt Ihnen auf? Was müssen Sie ändern, damit Ihre Schaltung wieder korrekt funktioniert?

c) Erweitern Sie das **maximum**-Modul um die wahlweise Berechnung des Minimums der Werte A und B. Ein zusätzliches Eingangssignal **MIN** soll die Berechnung von Max auf Min umschalten. Erweitern Sie ebenfalls die Testbench und führen Sie erneut eine Verhaltenssimulation durch. Überprüfen Sie die korrekte Funktion anhand der Waveforms.

d) Führen Sie nun eine Simulation der fertig in Hardware implementierten Schaltung aus c) (nicht der Testbench) durch. Wie lange brauchen die Signale von den Eingängen **A**, **B** und **MIN** zum Ausgang **RESULT**?

Aufgabe 2: Verhaltensbeschreibung in Verilog

a) Implementieren Sie die folgende Schaltung als Verhaltensbeschreibung in Verilog. Verwenden Sie dafür einen booleschen Ausdruck.



b) Schreiben Sie eine Testbench für Ihr Modul aus a), die eine vollständige Wahrheitstabelle generiert. Führen Sie eine Verhaltenssimulation durch und geben Sie die Wahrheitstabelle an. Gibt es redundante Schaltungsteile? Wenn ja, welche?