

Einführung in Computer Microsystems

2. Aufgabenblatt

Sommersemester 2007

Aufgabe 1: Addierer/Subtrahierer

Gegeben sind folgende Verilog-Module:

```
module HalfAdder(A, B, Sum, Carry);
  input A, B;
  output Sum, Carry;

  assign Sum = A ^ B;
  assign Carry = A & B;
endmodule

module FullAdder(A, B, CarryIn, Sum, CarryOut);
  input A, B, CarryIn; output Sum, CarryOut;

  wire sum1, carry1, carry2;

  HalfAdder ha1(A, B, sum1, carry1);
  HalfAdder ha2(CarryIn, sum1, Sum, carry2);

  assign CarryOut = carry1 | carry2;
endmodule
```

- a)** Konstruieren Sie mit Hilfe der beiden obigen Module einen 4-Bit Ripple-Carry Addierer mit den Eingängen **A** und **B** und dem Ausgang **Sum**. Schreiben Sie eine Testbench, welche die Additionsfunktion testet und führen Sie eine Verhaltenssimulation durch.
- b)** Erweitern Sie den 4-Bit Addierer aus a) um eine Subtraktionsfunktion. Ein zusätzliches Eingangssignal **sub** soll von Addition auf Subtraktion umschalten. Der „-“-Operator darf dazu *nicht*

verwendet werden. Erweitern Sie Ihre Testbench aus a) um den zusätzlichen Test der Subtraktion. Testen Sie auch negative Differenzen.

Aufgabe 2: Paralleler Multiplizierer

Konstruieren Sie aus den Modulen von Aufgabe 1 einen voll parallelen 4-Bit Multiplizierer für *positive* Zahlen. Der „*“-Operator darf dazu *nicht* verwendet werden. Wieviele Bits werden für das Ergebnis benötigt? Testen Sie die Funktion des Multiplizierers durch Simulation mit einer Testbench.