

Einführung in Computer Microsystems

3. Aufgabenblatt

Sommersemester 2007

Aufgabe 1: Ringzähler

Gegeben ist folgendes Verilog-Modul, welches einen Ringzähler realisiert:

```
`timescale 1ns / 1ps
module ring_counter(COUNT, ENABLE, RESET, CLK);
    output reg [7:0] COUNT;
    input ENABLE;
    input RESET;
    input CLK;

    always @(posedge RESET or posedge CLK)
        if (RESET == 1'b1) COUNT <= 8'b0000_0001;
        else if (ENABLE == 1'b1) COUNT <= {COUNT[6:0], COUNT[7]};

endmodule
```

a) Simulieren und prüfen Sie alle Funktionen des Moduls mit Hilfe einer Testbench. Geben Sie den Schaltplan (Schematic) des Moduls auf Gatterebene an (Hinweis: ISE kann Ihnen dabei behilflich sein).

b) Erweitern Sie das Modul aus a) um einen zusätzlichen Eingang **DOWN**, der die Richtung des Ringzählers umkehrt. Der Zähler zählt dann bei **DOWN=1** von MSB (Most Significant Bit) nach LSB (Least Significant Bit), bei **DOWN=0** wie bisher. Simulieren und prüfen Sie erneut alle Funktionen des erweiterten Moduls mit Hilfe einer angepassten Testbench. Geben Sie den Schaltplan (Schematic) des Moduls auf Gatterebene an. Was hat sich im Vergleich zu a) geändert? Markieren Sie für ein Zähler-Bit die Signalwege beider Zählrichtungen farbig im Schematic.

Aufgabe 2: Fehlersuche

Gegeben ist folgendes Verilog-Modul, das einige Fehler enthält:

```
module faulty(A, B, Y, Z);
    input A;
    input [1:0] B;
    output reg Y;
    output [1:0] Z;

    reg A;

    always @(A)
        Z = A & B[0];

    always @(B)
        Z = B[1] & Y;

    always @(A)
        Y = B | A;

endmodule
```

- a)** Finden Sie die Fehler in der Verilog-Verhaltensbeschreibung. Vergleichen Sie dazu auch die Funktion des Moduls bei der Verhaltenssimulation mit der Post-Layout Simulation und den RTL-Schematics. Machen Sie Verbesserungsvorschläge und begründen Sie diese.
- b)** Wieviele Register (Flip-Flops) werden bei der Übersetzung des Moduls in Hardware erzeugt?