

Einführung in Computer Microsystems

4. Aufgabenblatt

Sommersemester 2007

Aufgabe 1: Potenzielle Register

Geben Sie für alle der folgenden **reg**-Variablen an, ob sie bei der Synthese in Latches, Flip-Flops oder kombinatorische Logik übersetzt werden, oder ob sie entfallen. Begründen Sie ihre Antworten mit den Kriterien für potenzielle Register aus der Vorlesung.

```
module potential_regs(A, S1, S2, Y, SUM0, SUM1, SUM2, SUM3);
  input [3:0] A;
  input [7:0] S1, S2;
  output reg Y;
  output reg [7:0] SUM0, SUM1, SUM2, SUM3;

  reg [31:0] I;
  reg C0, C1 = 0, C2, C3 = 0;

  always @(*) begin
    C0 = 0;
    for (I = 0; I < 8; I = I + 1) begin
      {C0, SUM0[I]} = S1[I] + S2[I] + C0;
      if (A)
        {C1, SUM1[I]} = S1[I] + S2[I] + C1;
      end
      if (C1 == 1) C1 = 0;
    end

    always @(posedge C0) begin
      C2 = 0;
      for (I = 0; I < 8; I = I + 1) begin
        {C2, SUM2[I]} = S1[I] + S2[I] + C2;
```

```

    if (A)
        {C3, SUM3[I]} = S1[I] + S2[I] + C3;
    end
    if (C3 == 1) C3 = 0;
end

always @(A) begin
    Y = 0;
    if (A[0] == 1) Y = 1;
    else if (A[1] == 1) Y = 1;
    else if (A[2] == 1) Y = 1;
end
endmodule

```

Aufgabe 2: BCD nach Binär Konverter

Implementieren Sie den folgenden Pseudo-Code für einen BCD nach Binär Konverter als Verhaltensbeschreibung in Verilog. Die Länge der BCD-Zahl sei 24 Bit. Verwenden Sie nur rein kombinatorische Logik und achten Sie darauf, dass bei der Synthese keine Latches entstehen. Testen Sie die Funktion ihres Moduls mit ISE. Bestimmen Sie durch Post-Layout Simulation die maximale Taktfrequenz Ihres Moduls nach der Synthese.

Pseudo-Code für BCD nach Binär Konverter:

1. $\mathbf{bcd} \leftarrow \mathbf{bcd_data_input}$
2. $\mathbf{bin} \leftarrow 0$ (gleiche Bitbreite wie \mathbf{bcd})
3. Für $\mathbf{count} \leftarrow 1$ bis Bitbreite von \mathbf{bcd} iteriere:
 - 3.1. $\{\mathbf{bcd}, \mathbf{bin}\} \leftarrow \{\mathbf{bcd}, \mathbf{bin}\} \gg 1$
 - 3.2. Für jede 4-Bit Folge (3...0, 7...4, ...) in \mathbf{bcd} iteriere
Wenn die 4-Bit Folge größer 7, dann ziehe 3 von dieser Folge ab
4. \mathbf{bin} enthält die konvertierte Zahl