

Einführung in Computer Microsystems

8. Aufgabenblatt

Sommersemester 2007

Aufgabe 1: Adressdekoder

Implementieren Sie als Verilog-Modul einen Adressdekoder für einen Bus mit einer CPU als Initiator/Master. Der Dekoder soll mit möglichst wenigen Gattern auskommen und für jeden der folgenden Slave-Teilnehmer ein separates **SELECT**-Signal erzeugen:

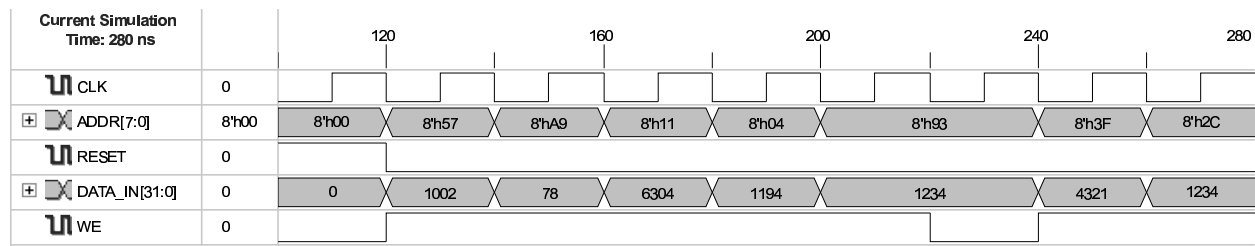
- RAM 64KB
- ROM 8KB
- ROM 8KB
- ROM 4KB
- 8 Register zu je 16 Bit
- 4 Register zu je 32 Bit

Jede Adresse adressiert ein Byte. Finden Sie eine geeignete Address-Map, Memory-Aliasing ist erlaubt. Es darf höchstens ein **SELECT**-Signal gleichzeitig aktiv sein. Prüfen Sie mit einer geeigneten Testbench, ob alle Adressen korrekt dekodiert werden.

Aufgabe 2: Transaktionen

Gegeben sind eine Waveform und ein Verilog-Modul.

Waveform:



Verilog-Modul:

```

`timescale 1ns / 1ps
module memory_mapped_regs (CLK, RESET, ADDR, DATA_IN, WE, DATA_OUT);
    input CLK;
    input RESET;
    input [7:0] ADDR;
    input [31:0] DATA_IN;
    input WE;
    output [31:0] DATA_OUT;

    reg [31:0] A, B, C, D, E, F, G;

    assign DATA_OUT = ADDR[6] ? D : ADDR[5:4] == 2'b00 ? A :
                        ADDR[5:4] == 2'b01 ? B : ADDR == 42 ? E :
                        ADDR[7] ? C : ADDR[3:2] == 2 ? G : F;

    always @(posedge CLK or posedge RESET) begin
        if (RESET) begin
            A <= 1; B <= 2; C <= 3; D <= 4;
            E <= 5; F <= 6; G <= 7;
        end
        else
            case ({WE, ADDR[7], ADDR[4:2]})
                5'h17: A <= DATA_IN;
                5'h1F: B <= DATA_IN;
                5'h13: C <= DATA_IN;
                5'h14: D <= DATA_IN;
                5'h1A: E <= DATA_IN;
                5'h15: F <= DATA_IN;
                5'h1C: G <= DATA_IN;
                default: begin
                    G <= 42;
                    A <= DATA_IN;
                end
            endcase
        end
    end

endmodule

```

Die in der Waveform dargestellten Transaktionen werden als Stimulus in das Verilog-Modul eingegeben. Welche Werte enthalten danach die Register A bis G und auf welchen Adressen können sie jeweils ausgelesen werden? Hinweis: Das Modul enthält einige Designfehler beim Address-Decoding...