



# Material

- Vorlesungsfolien basierend auf Material von Trevor Mudge
  - Professor an der Universität von Michigan
  - Keynote auf der MICRO 2015

# 50 Jahre Moores Gesetz — 19.04.1965

The experts look ahead

## Cramming more components onto integrated circuits

With unit cost falling as the number of components per circuit rises, by 1975 economics may dictate squeezing as many as 65,000 components on a single silicon chip

By Gordon E. Moore

Director, Research and Development Laboratories, Fairchild Semiconductor division of Fairchild Camera and Instrument Corp.

The future of integrated electronics is the future of electronics itself. The advantages of integration will bring about a proliferation of electronics, pushing this science into many new areas.

Integrated circuits will lead to such wonders as home computers—or at least terminals connected to a central computer—automatic controls for automobiles, and personal portable communications equipment. The electronic wrist-watch needs only a display to be feasible today.

of large circuits & equip-circuits

rganized ies built hout the



Gordon Moore  
1929 -

Volume 38, Number 8, April 19, 1965

machine instead of being concentrated in a central unit. In addition, the improved reliability made possible by integrated circuits will allow the construction of larger processing units. Machines similar to those in existence today will be built at lower costs and with faster turn-around.

### Present and future

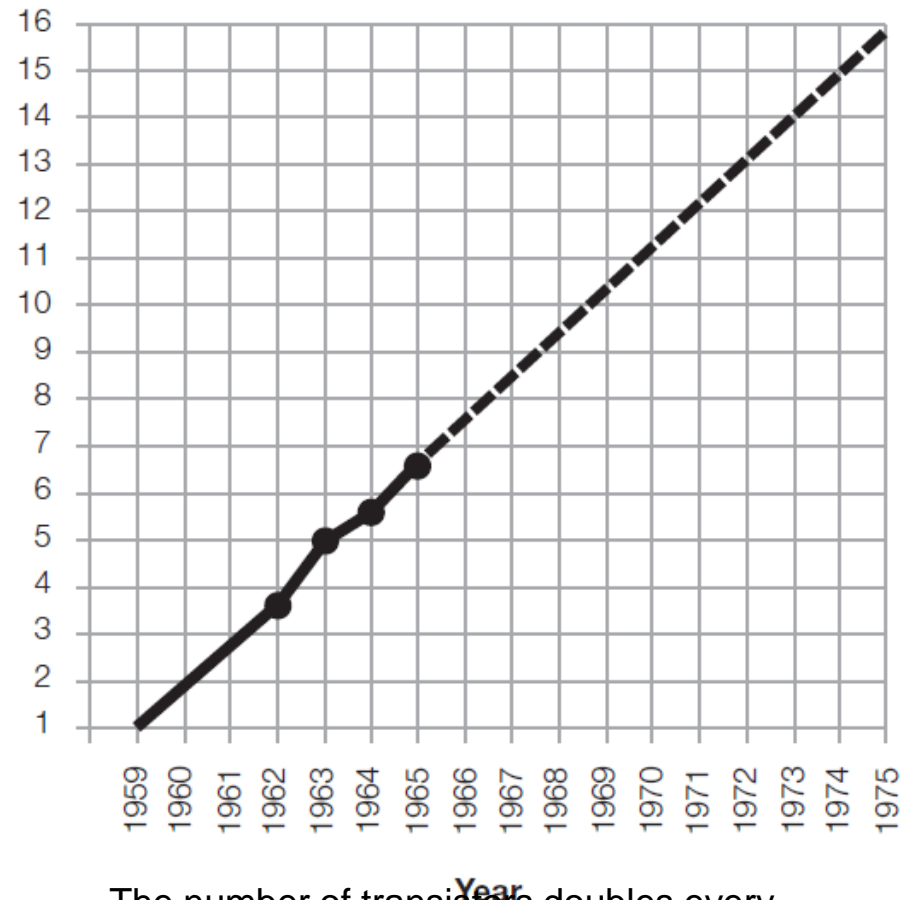
By integrated electronics, I mean all the various technologies which are referred to as microelectronics today as well as any additional ones that result in electronics functions supplied to the user as irreducible units. These technologies were first investigated in the late 1950's. The object was to miniaturize electronics equipment to include increasingly complex electronic functions in limited space with minimum weight. Several approaches evolved, including microassembly techniques for individual components, thin-film structures and semiconductor integrated circuits.

Each approach evolved rapidly and converged so that each borrowed techniques from another. Many researchers believe the way of the future to be a combination of the various approaches.

The advocates of semiconductor integrated circuitry are already using the improved characteristics of thin-film resistors by applying such films directly to an active semiconductor substrate. Those advocating a technology based upon films are developing sophisticated techniques for the attachment of active semiconductor devices to the passive film arrays.

Both approaches have worked well and are being used in equipment today.

Log2 of the Number of Components Per Integrated Function



The number of transistors doubles every technology node; area and cost remain the same

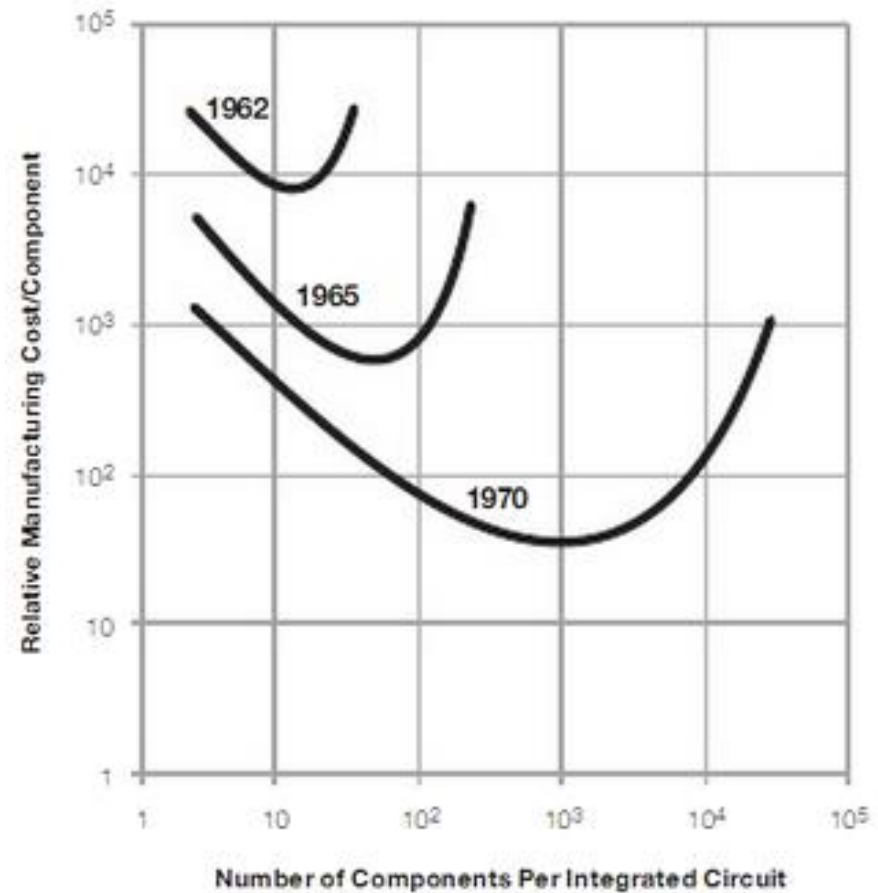
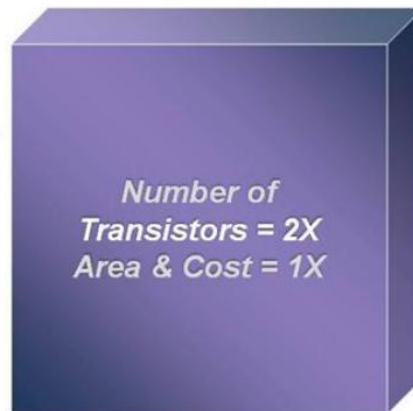
# Moore's Law betrachtet letztlich Wirtschaftlichkeit

## Dr. Gordon E. Moore's Law

*Number of Transistors Doubles Every New  
Technology Node; Area & Cost Remain the Same*

$$\sqrt{0.5} = \sim 0.7$$

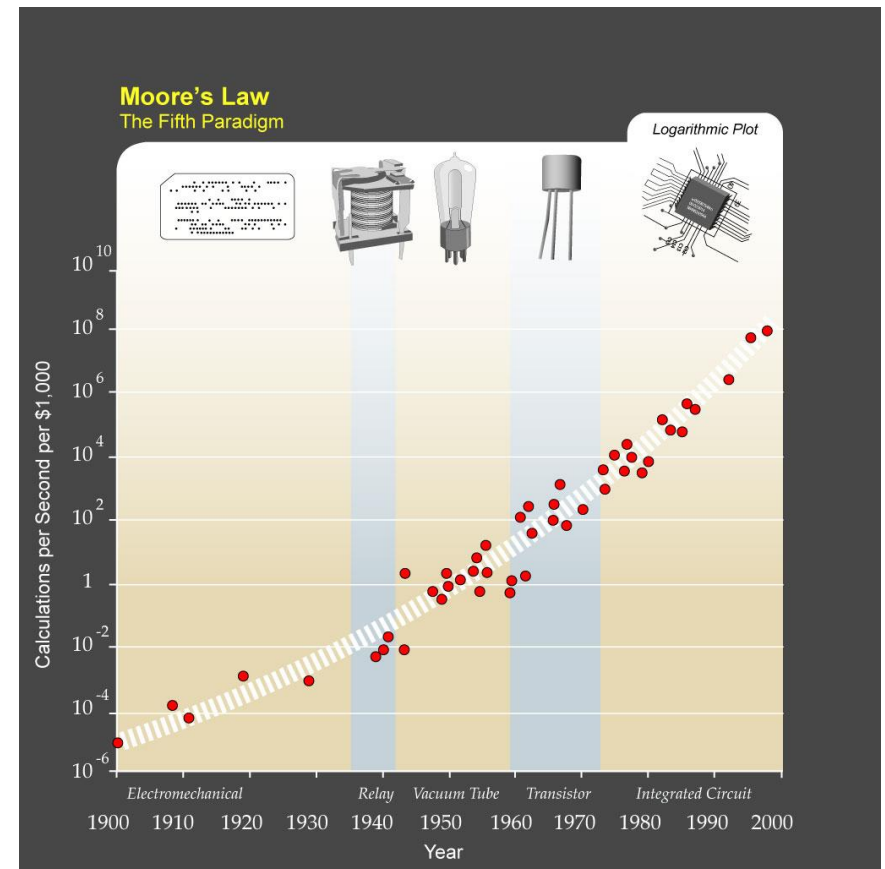
**The Scaling Factor**



# Moore's Gesetz inspirierte andere Betrachtungen

## ■ Ray Kurzweils 5. Paradigma

- Beobachtungen:
  - Epochen nicht gleich lang
  - Schnellere Verbesserungen in 5. Epoche
  - Silizium Epoche ist die längste (bisher)
  - Aber: Folge von schrittweisen Verbesserungen durch **Einmaleffekte**



# Das Ende ist nah!



Eine  
verbreitete  
Meinung ...

---

# ... oder doch nicht?

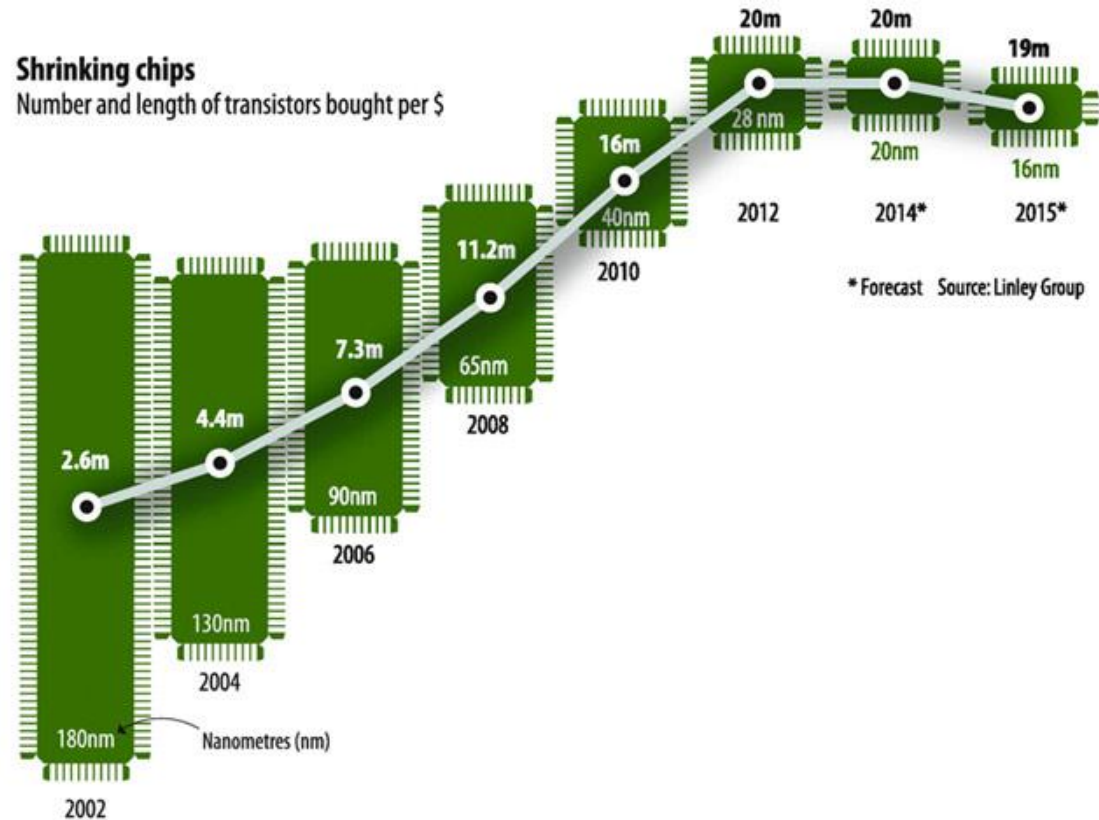


Intel ist  
entspannter ...

# Ansichten der Chip-Hersteller: Auftragsfertiger

- 28nm sei letzte Moores Gesetz-Technologie (“node”)
  - Vorhersagen ab 2014
- “Node numbers are like shoe size—they don’t mean anything”

*Rob Aitken ARM Fellow*

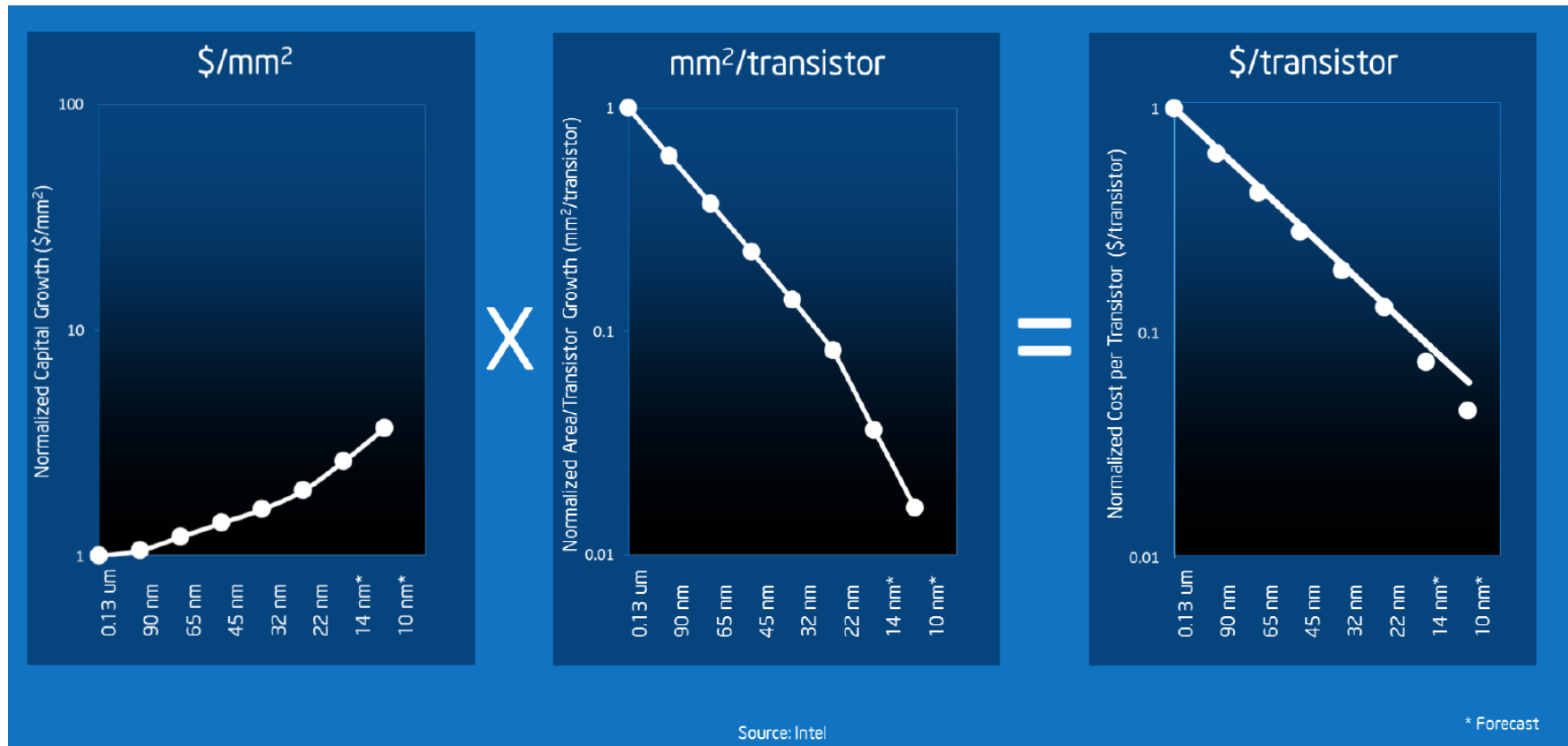




# Ansichten der Chip-Hersteller: Intel

## *Entwirft und fertigt ICs*

- Intel ist davon überzeugt, dass Mooores Gesetz noch (für sie!) gilt



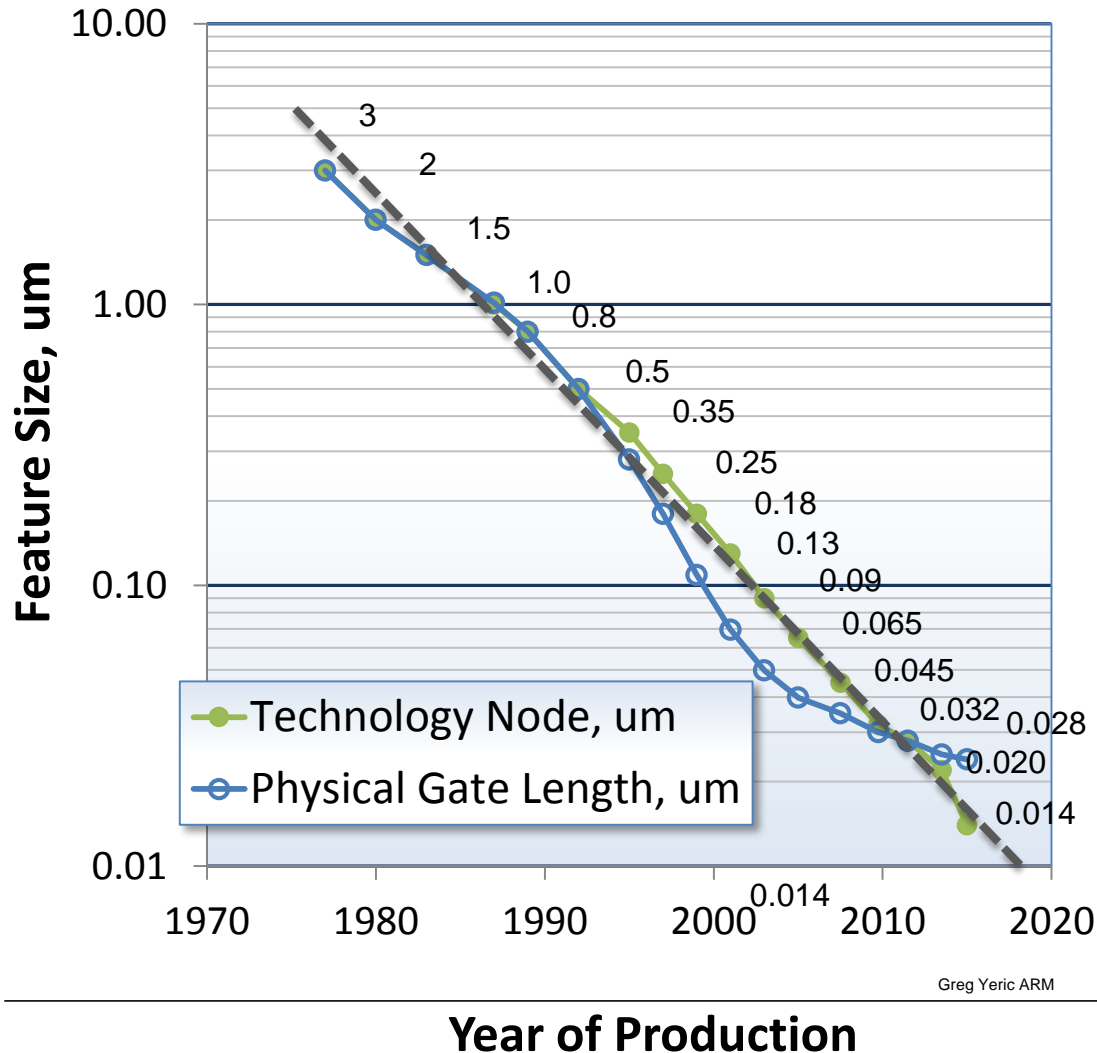
# Plausibilitätsprüfung (*sanity check*)

- Annahme: Gitterabstand in Siliziumkristall ist untere Grenze für artifizielle Strukturen
  - Gitterabstand in Silizium ist  $5,43 \text{ \AA} = 0,543 \text{ nm}$
- Gedankenexperiment: Wieviele Nodes sind es noch bis dahin?
  - Bei ignorieren von technischen und ökonomischen Einschränkungen

14 → 10 → 7 → 5 → 3 → 2 → 14 Å → 10 Å → 7 Å → 5 Å

- 9 Schritte bei 18 oder 24 Monaten pro Schritt = 14 oder 18 Jahre
- In unserer (erwarteten) Lebenszeit: Ende der Verbesserungen in Silizium-basierter Technologie

# Zeitintervalle zwischen Nodes werden länger



“Feature size”  
verdoppelt sich  
~ alle 2.5 Jahre

Aber nur langsamere  
Verbesserung bei echten  
Abmessungen von  
Siliziumstrukturen

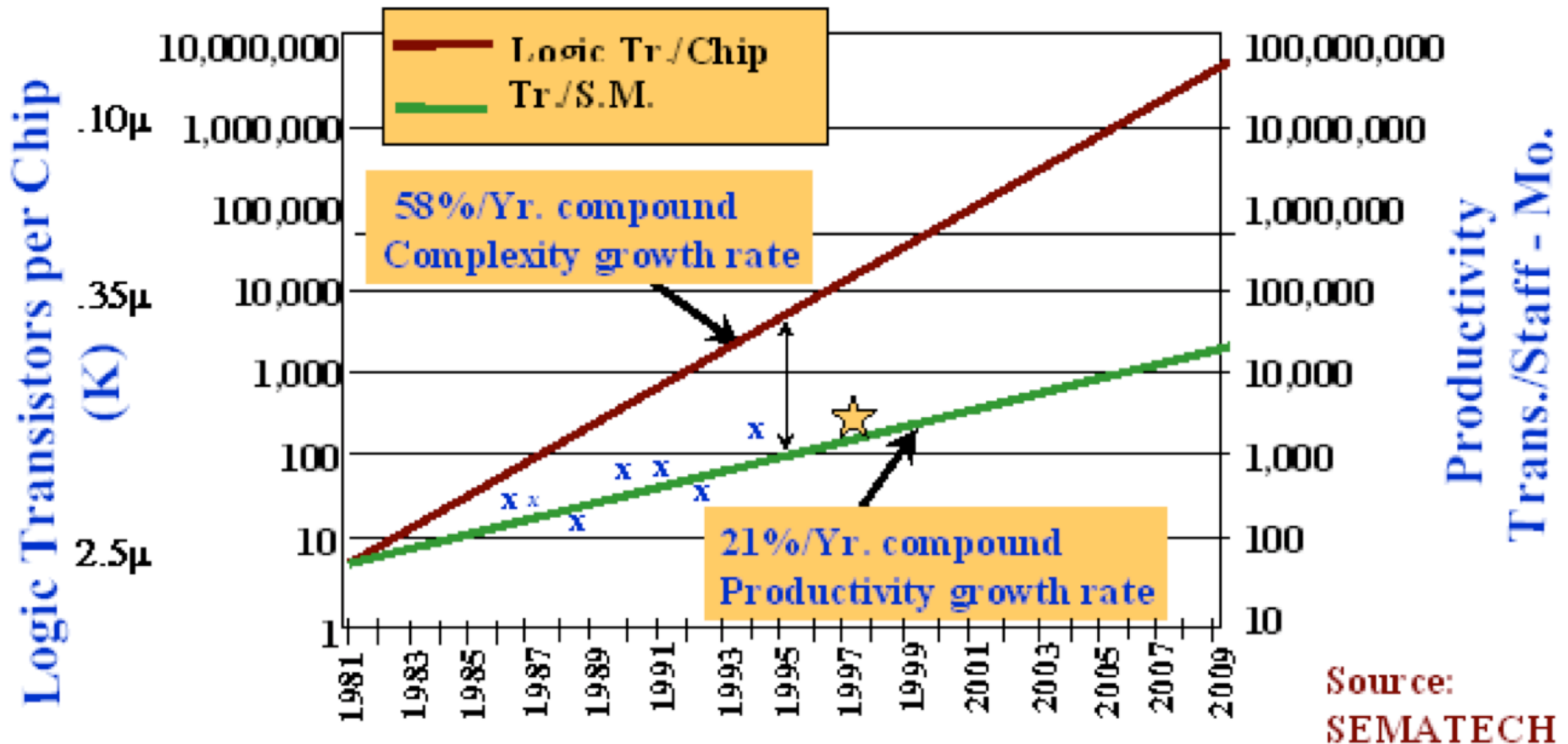
# Weitere Grenzen der Verkleinerung

- Kosten einer Chip-Fabrik (*fab*)



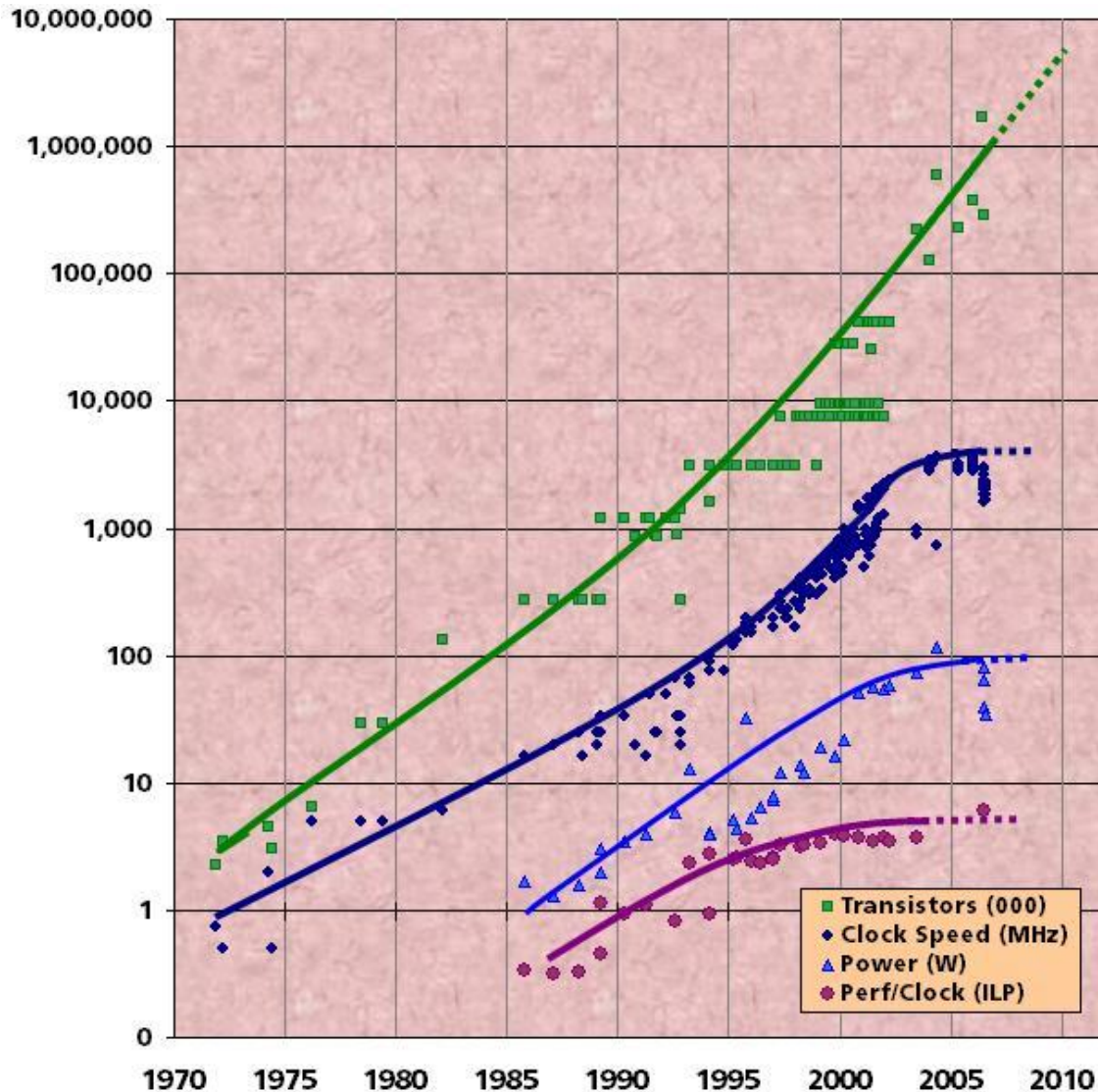
- Taiwan Semiconductor Manufacturing Co. Ltd. (TSMC) hat einen Marktwert von 118 Milliarden USD (Dezember 2014)
- Plant Fabrik zur Herstellung von Wafern mit 450mm Durchmesser
  - Geschätzte Kosten: 26 Milliarden USD
  - Ca. 3x die Kosten der TSMC GigaFab 15 für 300mm Wafer
- Zum Vergleich: VW Werk in Chattanooga (Tennessee, USA): ca. 1 Milliarde USD

# Weitere Grenze: Entwurfsproduktivität



S.M. = Staff Month = ein Monat Arbeit eines Chip-Entwicklers

# Trend zu langsameren, aber parallelen Rechnern



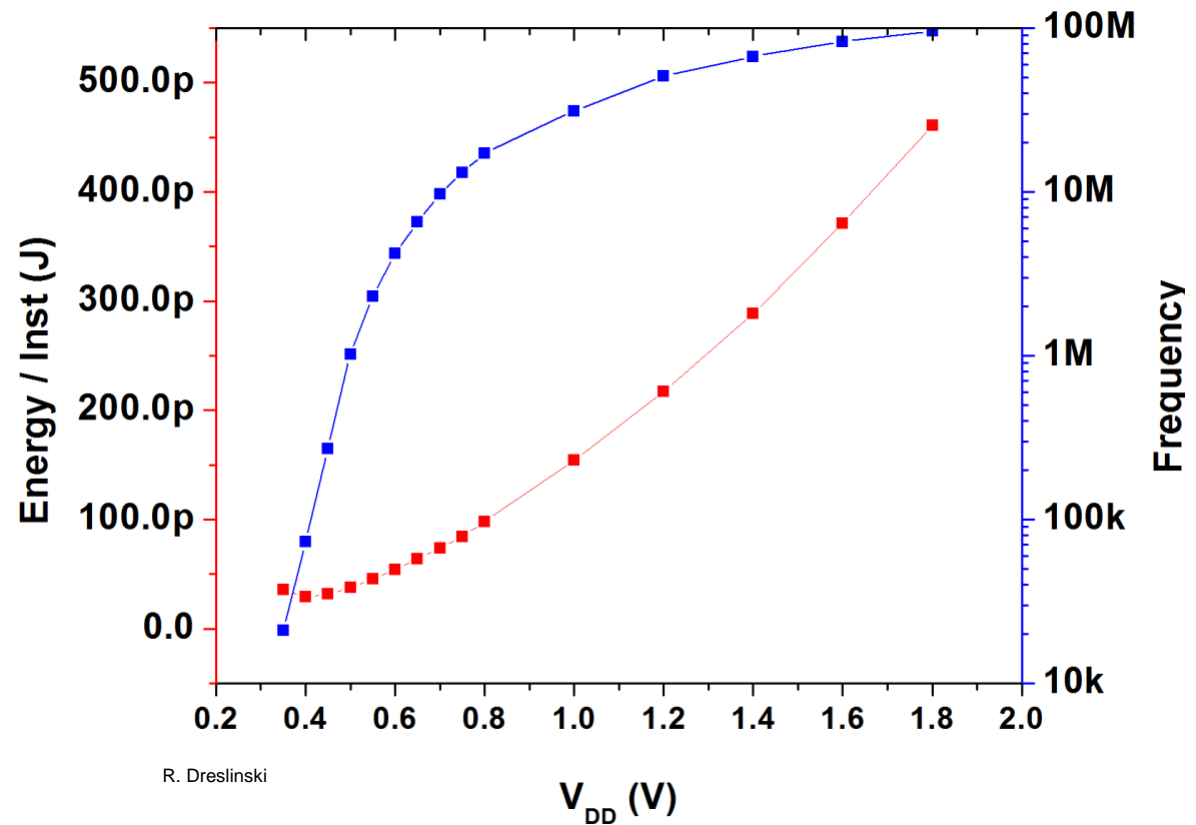
Analyse von Olukotun,  
Hammond, Sutter, Smith

# Kurzfristige Lösungsansätze

## Noch in traditioneller Siliziumtechnologie

Rechnen mit  $V_{DD} = 0,7 \text{ V}$

- nahe an der Schwellspannung der Transistoren (*near-threshold computing*)
- Prozessoren werden langsamer (10x)
- ... aber viel energieeffizienter (7x)
- Durch mehr Parallelität kompensieren
- Passt gut mit modernen FinFET Transistoren zusammen

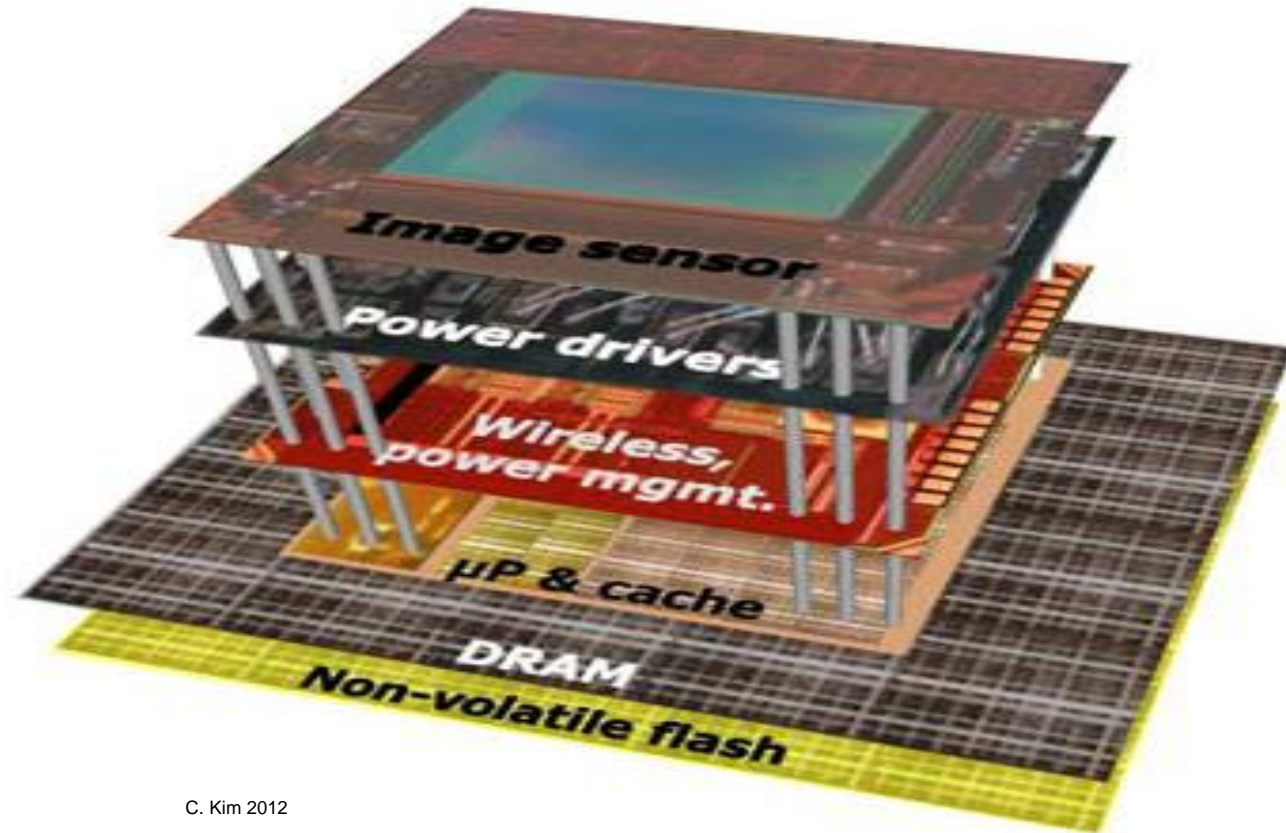


# Kurzfristige Lösungsansätze

## Noch in traditioneller Siliziumtechnologie

Stapeln von 2D Chips  
zu 3D Strukturen  
(*die stacking*)

Vertikale Verbindungen  
mittels  
Through-Silicon Vias  
(TSV)



C. Kim 2012



# Vorteile von 3D ICs

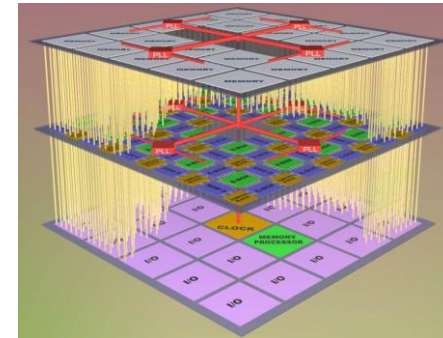
## 1. Größe – Trend geht zu mobile Systemen

- Chips im Apple iPhone 6+
  - Apple A8 APL1011 SoC + Elpida 1 GB LPDDR3 RAM
  - NXP LPC18B1UK ARM Cortex-M3 Microcontrollers (motion)
  - Qualcomm MDM9625M LTE Modem
  - Skyworks 77802-23 Low Band LTE PAD
  - Avago A8020 High Band PAD
  - Avago A8010 Ultra High Band PA + FBARs
  - TriQuint TQF6410 3G EDGE power amplifier module
  - InvenSense MP67B 6-axis gyroscope and accelerometer combo
  - Qualcomm QFE1000 Envelope Tracking IC
  - RF Micro Devices RF5159 Antenna Switch Module
  - SkyWorks 77356-8 Mid Band PAD
  - SK Hynix H2JTDG8UD1BMS 128 Gb (16 GB) NAND Flash
  - Murata 339S0228 Wi-Fi Module
  - Apple/Dialog 338S1251-AZ Power Management IC
  - Broadcom BCM5976 Touchscreen Controller
  - NXP 65V10 NFC module
  - Qualcomm WTR1625L RF Transceiver
  - Qualcomm WFR1620 receive-only companion chip
  - Qualcomm PM8019 power management IC
  - Texas Instruments 343S0694 touch transmitter
  - AMS AS3923 boosted NFC tag front end
  - Cirrus Logic 338S1201 audio codec

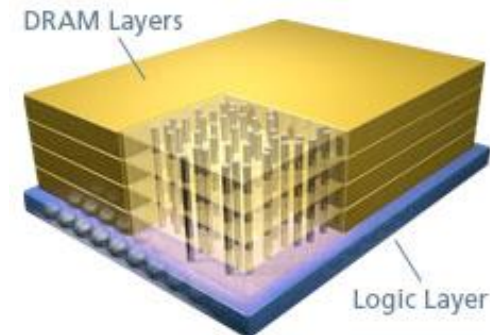


# Vorteile von 3D ICs

2. Kürzere Leitungslängen



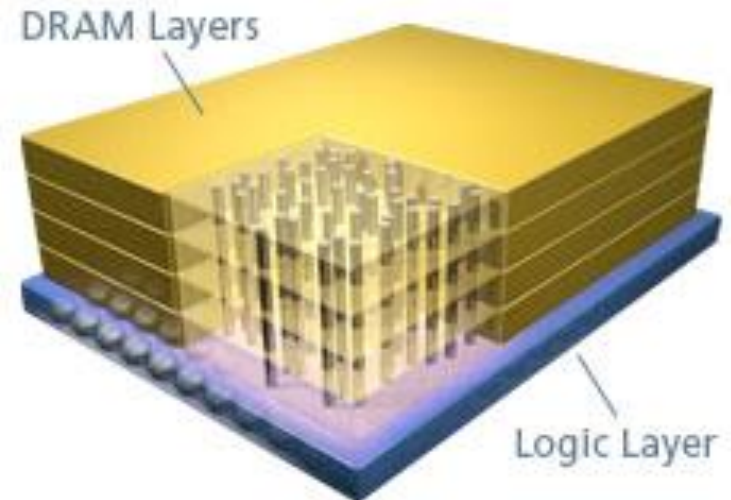
3. Integration heterogener Technologien  
z.B. Logik + DRAM



4. Energieersparnis (nächste Seite)

# Energieersparnis durch 3D ICs am Beispiel von Speicher

- Kühlung nicht trivial, aber machbar
- Energieeinsparungen
  - Zum Vergleich: DDR3 ~40 mW pro Pin
  - 1024 Data Pins → 40 W
  - 4096 Data Pins → 160 W
  - 3D IC ~ 24  $\mu$ W per pin (TSV!)
  - 4096 Data pins → ~100 mW



- Noch viele Optimierungen auf elektrischer Ebene möglich

# Zusammenfassung 1

- **Langfristig** (20+ Jahre) andere Technologien als Silizium erforderlich
- **Mittelfristig** (10 Jahre) aber noch viel Potential für siliziumbasierte Chips
  - 3D Integration und Near-Threshold Computing
  - Moores Gesetz bringt keine Geschwindigkeitsvorteile mehr
    - Balance zwischen elektrischer Leistungsaufnahme und Rechenleistung
  - Verkleinerung von Schaltungsstrukturen geht aber zunächst weiter
- Fortschritte werden aber vermutlich langsamer erreicht
- Statt alle 24 Monate 14 nm → 10 nm → 7 nm → 5 nm → 3 nm eher  
14 nm → 10 nm → 7 nm → 5 nm → 3 nm  
3 Jahre      4 Jahre      5 Jahre      ?

# Zusammenfassung 2

- Kleinere Fertigungstechnologien werden **teurer** pro Transistoren
  - Kleinere Transistoren sind möglich, müssen aber ökonomisch gut begründet werden
  - Ältere Fertigungstechnologien bleiben relevant
    - Internet-of-Things: Eine Lampensteuerung braucht keinen Chip in 14nm Prozess!
- Nachdenken lohnt sich wieder!
- Spannende Zeit für Computer-Architekten
  - Nicht alle Anwendungen lassen sich gut parallelisieren
  - Andere Alternative: Mehr anwendungsspezifische Architekturen
    - Trend schon sichtbar bei heterogenen Systems-on-Chips: Jede Menge spezielle Beschleuniger
    - FPGA-basiertes Rechnen (*reconfigurable computing*) → Forschungsgebiet des FG ESA

# Geplante Veranstaltungen am FG ESA



- WiSe 2015/16
  - IV Algorithmen im Chip-Entwurf: Grundlagen von Hardware-Entwurfswerkzeugen
  - Seminar Fortgeschrittene Prozessorarchitekturen (Sarah Harris)
  
- SoSe 2016
  - Praktikum Prozessorarchitektur mit MIPS (Sarah Harris)
  
- WiSe 2016/17
  - IV Architekturen und Entwurf von Rechnersystemen (neue CMS!)
  - IV Algorithmen im Chip-Entwurf
  
- SoSe 2017
  - Praktikum System-on-Chip Design mit Zynq

- Informationen auf Web-Seiten des FG ESA werden bis 30.7. aktualisiert
- Ein kommendes Beispiel (Auszug):

## **Survey und Profiling von Benchmark Suites für High-Level Synthese (BA)**

*Während es für gewöhnliche Prozessorarchitekturen und eingebettete Systeme weit verbreitete Benchmark Suites mit einer Vielzahl detailliert charakterisierter Testfälle gibt, die es ermöglichen, Compiler für solche Systeme fair zu vergleichen, existieren nur wenige, kleine Suites, die sich für die High-Level Synthese (HLS), also die Übersetzung von C/C++ Code in verhaltensäquivalente Hardware, eignen. Es besteht erheblicher Bedarf an einer geeigneten Benchmark Suite, um die stark heterogenen Ansätze der verschiedenen Tools fair vergleichen zu können.*

*Dazu sollen in dieser Arbeit existierende Benchmark Suites detailliert untersucht werden. ...*