embedded systems + applications

Verilog Crash-Kurs

zum Praktikum
Adaptive Computersysteme

Sommersemester 2009

Martin Kumm / Holger Lange

FG Eingebettete Systeme und ihre Anwendungen
Informatik, TU Darmstadt

Übersicht

- Verilog zwischen „SDL“ und HDL
- Synthetisierbare Sprachteile
- Kombinatorische Logik
- Sequenzielle Logik
- Hierarchische Modellierung
- Instanz Generierung
- Literaturhinweise

Verilog zwischen „SDL“ und HDL

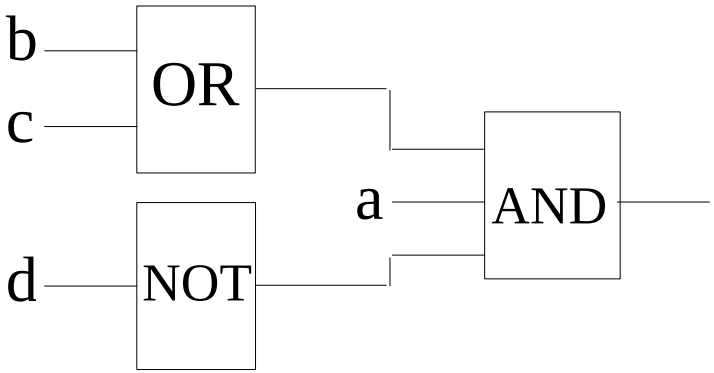
- Verilog ist viel mächtiger als zur reinen Hardware-Beschreibung nötig
  - Wichtig zur Modellierung von Systemumgebungen, „Testbenches“
  - Im Praktikum schon vorgegeben, muss lediglich angepasst werden
- Von den reinen HW-Beschreibungelementen nicht alle übersetzbar (Synthese)
  - z.B. Modellierung von Zeit („#10“) in HW nicht garantierbar

➔ Synthetisierbare Untermenge von Verilog

Synthetisierbare Sprachteile

- Synthese: Abbildung von Register-Transfer-Logik (RTL) auf Gatternetzlisten
- RTL in Verilog
  - Wichtige Datentypen: *wire* und *reg*
  - Permanente Zuweisung *assign* beschreibt kombinatorische Logik
  - *always* Block beschreibt prozedural kombinatorische **oder** sequenzielle Logik
    - In kombinatorischem Block auch *integer* als Hilfsvariablen zulässig, z.B. Schleifenzähler
  - Hierarchie durch Module und Instanzen
    - *parameter* / *defparam*
  - Präprozessor *`define NAME* / *`NAME*

Kombinatorische Logik I



- Funktion **y = a & (b | c) & (!d)**
- 1. Möglichkeit: Permanente Zuweisung
  wire y;
  assign y = a && (b || c) && (!d);
- *Oder kürzer (Def. und Zuweisung kombiniert)*
  wire y = a && (b || c) && (!d);

Kombinatorische Logik II

- 2. Möglichkeit: Kombinatorischer *always*-Block

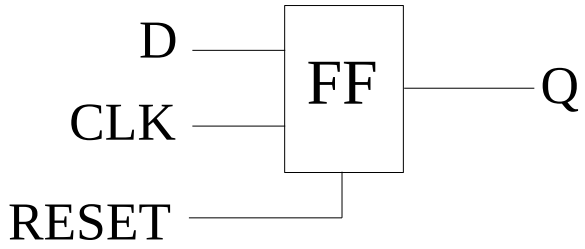
  reg y; // hier wird **kein** Flip-Flop erzeugt
  always @(a or b or c or d) begin // komplett!
  y = a && (b || c) && (!d);
  end

- Schleifenzähler: Beispiel „Reverse“ Leitfaden
- In kombinatorischen *always*-Blöcken **immer** blockende Zuweisung „=“ verwenden
  - Wie in C oder Java ...

Kombinatorische Logik III

- Wie in C oder Java ...
  - *&&*, ||, *!* usw. sind **logische** Operatoren und arbeiten auf den gesamten Ausdrücken
  - *&*, |, ~ usw. sind **bitweise** Operatoren und werten die Ausdrücke Bit für Bit aus
  - Logischer Vergleich: ==, *!*=
    - **Nicht** ===, *!*== verwenden!
  - Multiplexer: Bedingung *?* wahr *:* falsch
- Vorsicht bei komplexeren Ausdrücken
  - +, - erzeugen oft Addierer; *, / Multiplizierer (groß) Dividierer oft gar nicht möglich
  - Besser: 2er Potenzen ausnutzen „<<“ „>>”

Sequenzielle Logik I



- D-Flip-Flop mit asynchronem Reset
- Sequenzieller *always*-Block

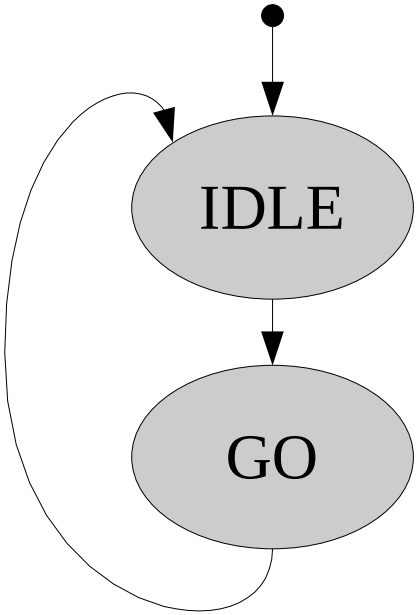
```
reg Q;
always @(posedge CLK or posedge RESET) begin
  if (RESET == 1) begin
    Q <= 0;
  end
  else begin
    Q <= D;
  end
end
```

Sequenzielle Logik II

- In sequenziellen *always*-Blöcken **immer** nicht-blockende Zuweisung „<=“ verwenden
  - Wertet in jedem Zeitschritt zunächst alle Ausdrücke auf der rechten Seite aus
  - Transparente Zwischenspeicherung
  - Schließlich Zuweisung an die linke Seite
  - Modelliert die Zeitverzögerung beim Laden eines Flip-Flops
- Sei B := 3, A := 2
  - *A = 4; B = A;* → B hat den Wert 4
  - *A <= 4; B <= A;* → B hat den Wert 3
    - Im nächsten Zeitschritt ist A=4 und B hat den Wert 2!

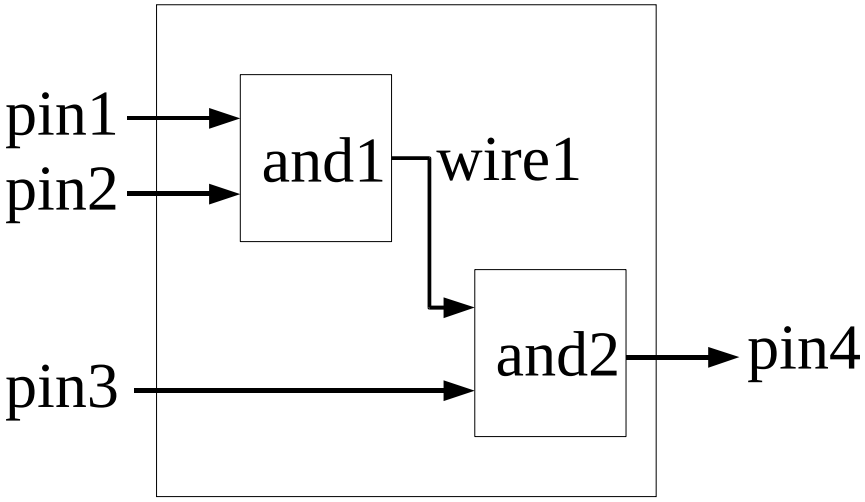
Sequenzielle Logik III

- Zustandsautomaten
  - Werte für Zustandsvariable (Typ *reg*) mit *`define* kodieren
  - *always @(posedge CLK or posedge RESET) begin*
    if (RESET) STATE <= `IDLE;
    else begin
      case (STATE)
        `IDLE: STATE <= `GO;
        `GO: begin
                ...
                STATE <= `IDLE;
              end
        ***default**: STATE <= 'bx; //ungültig!*
      endcase
    end
    end



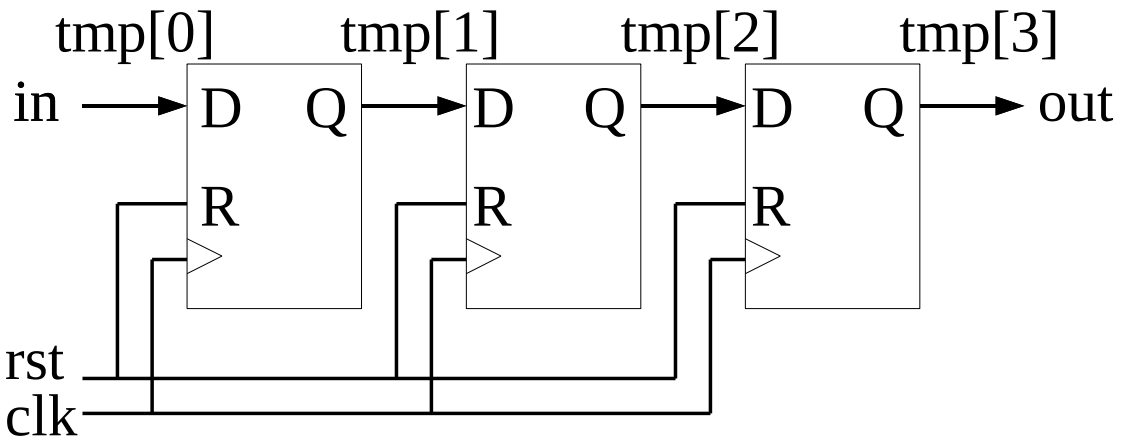
Hierarchische Modellierung


```
module top_level(pin1,pin2,pin3,pin4,...);
  input  pin1,pin2,pin3;
  output pin4;
  wire wire1;
  and_module and1(pin1,pin2,wire1);
  and_module and2(wire1,pin3,pin4);
endmodule
```




```
module and_module(a,b,y);
  input  a,b;
  output y;
  assign y = a && b;
endmodule
```

Instanz Generierung




```
wire [7:0] tmp[3:0];
assign tmp[0] = in;
assign out = tmp[3];
genvar i;
generate
  for(i=0; i<3; i=i+1) begin : register_chain
    register_8_bit register_8_bit1(clk,reset,tmp[i],tmp[i+1]);
  end
endgenerate
```

Literaturhinweise

- Verilog Quick Reference Cards:
  http://www.tcnj.edu/~hernande/Eng312/Verilog(R)_QRC__02.pdf
  http://wwwhome.cs.utwente.nl/~co/co213130/vhdlref.pdf
- Online Tutorial, Beispiele, etc.:
  http://www.asic-world.com/verilog/index.html
- Verilog – Modellbildung für Synthese und Verifikation, Hoppe, 2006
- Advanced Digital Design with the Verilog HDL, Ciletti, 2007