

Übung zur Vorlesung Technische Grundlagen der Informatik

Prof. Dr. Andreas Koch
Thorsten Wink



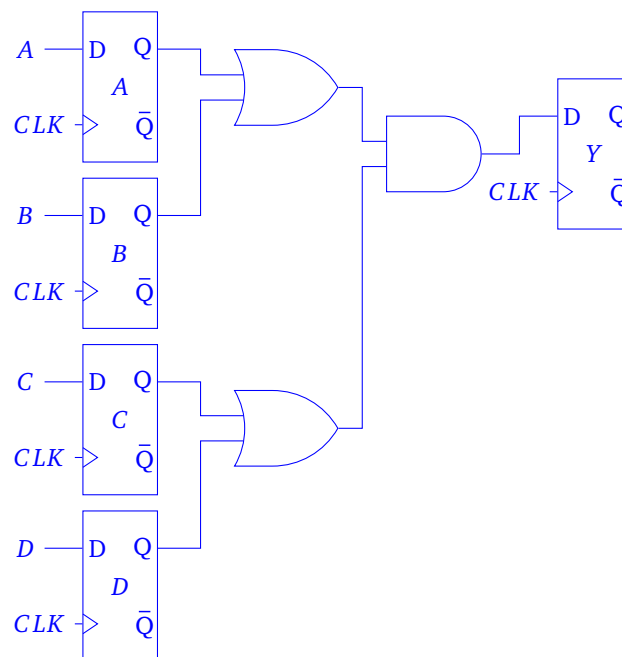
TECHNISCHE
UNIVERSITÄT
DARMSTADT

Wintersemester 09/10
Übungsblatt 6 - Lösungsvorschlag

Aufgabe 6.1 Timing

Gegeben ist die folgende Gleichung: $Y = (A + B)(C + D)$. Die AND und OR-Gatter haben eine t_{pd} von 25 ps und eine t_{cd} von 5 ps. A , B , C und D sind Ausgänge von Flip-Flops mit $t_{ccq} = 5 ps$, $t_{pcq} = 10 ps$, $t_{setup} = 20 ps$ und $t_{hold} = 9 ps$. Der Ausgang Y ist Eingang eines Flip-Flops mit den selben Charakteristika.

- a) Zeichnen Sie ein Schaltbild. Verwenden Sie D-Flip-Flops und Gatter.



- b) Berechnen Sie die maximale Taktfrequenz f_{max} .
Die Taktperiodendauer muss die Gleichung
 $t_{clk} \geq t_{pcq} + t_{pd} + t_{setup}$
erfüllen. Einsetzen der gegebenen Werte ergibt
 $t_{clk} \geq 10 ps + (25 + 25) ps + 20 ps = 80 ps$.
Die maximale Taktfrequenz ist $1/t_{clk} = 1/80 ps = 12,5 GHz$.
- c) Überprüfen Sie, ob die Hold-Zeit Anforderung erfüllt wird.
Es muss die Gleichung
 $t_{hold} < t_{ccq} + t_{cd}$
gelten. Einsetzen der Werte ergibt
 $9 ps < 5 + (5 + 5) ps$
Somit ist die Hold-Zeit Anforderung erfüllt.

Aufgabe 6.2 Taktverschiebung

- a) Was sind die Ursachen, dass eine Taktverschiebung auftreten kann?

Der Takt wird bei mehreren Flip-Flops über Leitungen verbunden, diese haben aufgrund unterschiedlicher Länge unterschiedliche Verzögerungszeiten. Somit kommt das Taktsignal nicht an allen Flip-Flops gleichzeitig an. Weitere Ursachen sind Temperaturunterschiede, Fertigungstoleranzen und sonstige elektromagnetische Störungen.

- b) Zu welchen Problemen kann die Taktverschiebung führen?

Durch die Taktverschiebung kann es passieren, dass Setup- und Holdzeiten der Flip-Flops verletzt werden, obwohl sie bei Berechnung ohne Taktverschiebung erfüllt waren. Deshalb muss bei der Berechnung der Taktversatz mit berücksichtigt werden.

- c) Kann es vorkommen, dass die maximale Taktfrequenz durch Taktverschiebung sogar steigt? Begründen Sie ihre Antwort mit den entsprechenden Formeln.

Ja. Beispiel: 2 Flip-Flops A und B, dazwischen eine kombinatorische Schaltung mit t_{pd} . Der Takt kommt bei B um t_{skew} später an. Dadurch wird ein Teil der Ausbreitungsverzögerung t_{pd} der Schaltung zwischen A und B kompensiert. Die maximale Taktfrequenz berechnet sich in diesem Fall zu $f_{max} = 1/(t_{pcq+} + t_{pd} + t_{setup} - t_{skew})$.

Aufgabe 6.3 Parallelität

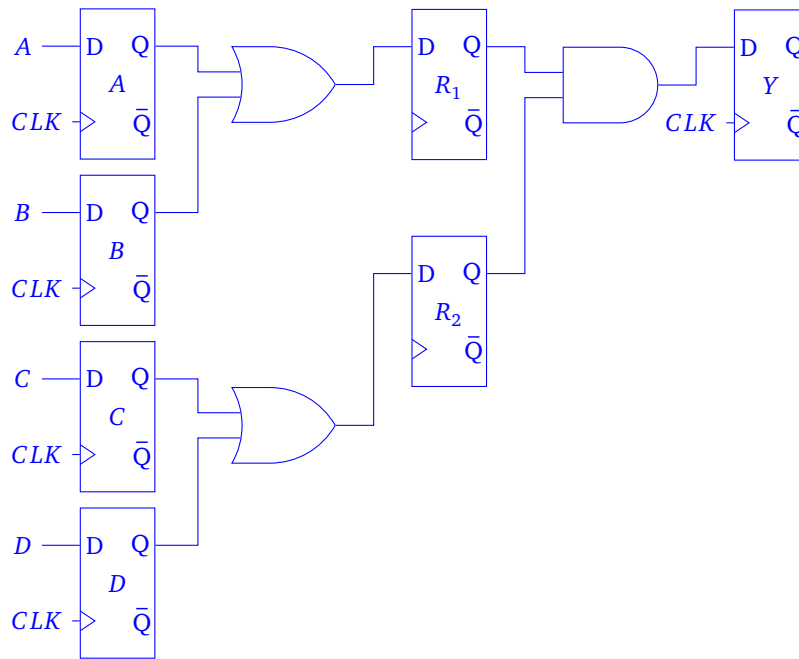
Erläutern Sie den Unterschied zwischen zeitlicher und räumlicher Parallelität. Geben Sie zu beiden Arten Beispiele an und erörtern Sie Vor- und Nachteile bezüglich Aufwand, Latenz und Durchsatz.

- zeitliche Parallelität: Eine Aufgabe wird in mehrere Teilschritte zerlegt. Diese werden gleichzeitig ausgeführt (damit sind die Teilschritte unterschiedlicher Aufgaben gemeint, es können natürlich nicht alle Teilschritte der selben Aufgabe gleichzeitig ausgeführt werden). Beispiele: Essensausgabe in der Mensa (mehrere Stationen für Hauptgericht und Beilagen - auch wenn das hier in Darmstadt keine optimale Pipeline ist ;), Pipelining in modernen Prozessoren (kommt noch genauer in der Vorlesung), Zirkeltraining (mehrere Stationen können gleichzeitig von verschiedenen Sportlern benutzt werden).
Vorteile: Nur wenig zusätzlicher Aufwand (nur Verwaltung), es entsteht ein höherer Durchsatz.
Nachteile: Die Latenz steigt (meistens) an.
- räumliche Parallelität: Mehrere Einheiten des selben Typs verarbeiten gleichzeitig unterschiedliche Daten. Beispiele: Mehrere Fahrpuren auf einer Autobahn, ein Multicore-Prozessor, mehrere Kassen im Supermarkt.
Vorteile: Es können mehrere Aufgaben gleichzeitig bearbeitet werden (so lange sie unabhängig voneinander sind), es entsteht ein höherer Durchsatz bei gleichbleibender Latenz.
Nachteile: Es müssen mehrmals die gleichen Ressourcen vorgehalten werden, dadurch stark ansteigender (Hardware-)Aufwand.

Aufgabe 6.4 Pipelining

Die Schaltung aus Aufgabe 1 soll mit 15 GHz betrieben werden. Ist dies möglich? Wenn ja, wie?

Durch Einfügen von Registern zwischen den AND-Gattern und dem OR-Gatter kann die Taktfrequenz erhöht werden. Die resultierende Schaltung sieht wie folgt aus:



Die Taktperiodendauer ist nun $t_{clk} \geq 10 \text{ ps} + 25 \text{ ps} + 20 \text{ ps} = 55 \text{ ps}$.

Die maximale Taktfrequenz ist $1/t_{clk} = 1/55 \text{ ps} = 18,2 \text{ GHz}$.

Die Holdzeitanforderung ist ebenfalls erfüllt: $9 \text{ ps} < 5 + 5 \text{ ps}$

Die folgenden Aufgaben sollen in der HDL Verilog bearbeitet werden. Zur Simulation können Sie XILINX ISE verwenden. Es ist als WebPack-Edition frei verfügbar und auch auf den Poolrechnern der RBG installiert. Dort kann es einfach mit dem Befehl `ise` gestartet werden. Ein Tutorial zur Installation und Benutzung finden Sie demnächst auf unserer Webseite.

Hausaufgabe 6.1 Verilog

Beschreiben Sie die folgende Funktion in Verilog: $Z = (\bar{A} + B)C$.

- a) Verwenden Sie Verhaltensbeschreibung.

```

module aufgabe1(
    input A,
    input B,
    input C,
    output Z
);
    assign Z = (~A | B) & C;
endmodule

```

- b) Verwenden Sie Strukturbeschreibung.

```

module notgate (
    input A,
    output B
);
    assign B = ~A;
endmodule

module orgate (
    input A,
    input B,
    output C

```

```
);
  assign C = A | B;
endmodule

module andgate (
  input A,
  input B,
  output C
);
  assign C = A & B;
endmodule

module aufgabe1(
  input A,
  input B,
  input C,
  output Z
);
  wire nA,t; //Wires fuer Zwischenwerte

  notgate myNOT (A, nA);
  orgate myOR (nA,B,t);
  andgate myAND (t,C,Z);
endmodule
```

Hausaufgabe 6.2 Zähler in Verilog

Beschreiben Sie einen 4-Bit-Zähler in Verilog HDL. Der Zähler hat einen Eingang für den Takt (mit `clk` bezeichnet). Der Zählerstand wird mit dem Ausgang `count` ausgegeben.

```
module counter(
  input clk,
  output reg[3:0] count
);

  initial count = 0;

  always @(posedge clk)
    count <= count + 1
endmodule
```

Plagiarismus

Der Fachbereich Informatik misst der Einhaltung der Grundregeln der wissenschaftlichen Ethik großen Wert bei. Zu diesen gehört auch die strikte Verfolgung von Plagiarismus. Weitere Infos unter www.informatik.tu-darmstadt.de/plagiarism