

# Übung zur Vorlesung Technische Grundlagen der Informatik

Prof. Dr. Andreas Koch  
Thorsten Wink



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Wintersemester 09/10  
Übungsblatt 7

Die folgenden Aufgaben sollen in der Hardwarebeschreibungssprache Verilog bearbeitet werden. Zur Simulation können Sie XILINX ISE verwenden. Es ist als WebPack-Edition frei verfügbar und auch auf den Poolrechnern der RBG installiert. Dort kann es einfach mit dem Befehl *ise* gestartet werden. Ein Tutorial zur Installation und Benutzung finden Sie auf unserer Webseite.

---

## Aufgabe 7.1 Zähler in Verilog

---

Wir betrachten noch einmal den Zähler aus der letzten Hausaufgabe.

- Der Zähler soll um einen Eingang für ein *enable*-Signal erweitert werden. Es wird nur gezählt, wenn *enable* 1 ist.
- Der Zähler soll mit einem synchronen Reset (*sreset*) erweitert werden, so dass mit steigende Taktflanke der Zähler auf 0 zurückgesetzt wird wenn *sreset*=1.
- Der Zähler soll mit einem asynchronen Reset (*areset*) erweitert werden, so dass unabhängig vom Takt der Zähler auf 0 zurückgesetzt wird.
- Über eine Leitung *set* und einen 4-Bit-Dateneingang *value* soll der Zähler synchron auf den Wert von *value* gesetzt wird, sobald *set* 1 ist.
- Der Zähler soll nur bis zu einem Wert *max* zählen, der über einen zu definierenden Parameter gesetzt werden kann. Ist kein Parameter beim Modulaufruf angegeben, soll wie bisher ohne einen Schwellwert gezählt werden.
- Schreiben Sie einen Testrahmen für die letzte Teilaufgabe, so dass *max* = 5. Zu Beginn sollen alle Eingangssignale auf 0 liegen. Nach 7 ns soll ein synchroner Reset erfolgen, danach soll der Startwert 3 gesetzt werden und der Zähler gestartet werden. Geben Sie ein Timing-Diagramm an, bei dem die Werte für *clk* und *count* zu sehen sind.

---

## Aufgabe 7.2 Paritätsbit

---

Schreiben Sie ein Verilog-Modul, das zu einem übergebenen Bitstring von *n* Bits ein Paritätsbit hinten anhängt, welches 1 ist, wenn die Anzahl der Einsen im Bitstring ungerade ist, und das 0 ist, wenn die Anzahl der Einsen im Bitstring gerade ist. Der so entstandene neue Bitstring soll der Ausgang des Moduls sein. Wird kein Parameter angegeben, so soll die Bitbreite des Ausgangs 9 Bit betragen.

---

## Aufgabe 7.3 Fragen

---

- Wie können Werte an Wire-Variablen zugewiesen werden? Geben Sie ein Beispiel an. Können Wires Werte speichern?
- Wie können Zuweisungen an Signale verzögert werden?
- Wie unterscheiden sich *initial* und *always*?

---

### Hausaufgabe 7.1 Multiplexer in Verilog

---

Beschreiben Sie einen 8:1 Multiplexer in Verilog. Zur Auswahl aus den Eingängen  $IN_x, x \in \{0, \dots, 7\}$  soll der Steuereingang  $S[2:0]$  dienen. Die Bitbreite der Eingänge und des Ausgangs sollen parametrisierbar sein, falls keine Bitbreite angegeben wird soll der Standardwert 4 verwendet werden.

---

### Hausaufgabe 7.2 Multiplexer in Verilog (2)

---

Schreiben Sie ein strukturelles Verilog-Modul, welches die Funktion  $Y = A\bar{B} + \bar{B}\bar{C} + \bar{A}BC$  realisiert. Verwenden Sie dazu nur den Multiplexer aus der vorherigen Aufgabe.

---

### Plagiarismus

Der Fachbereich Informatik misst der Einhaltung der Grundregeln der wissenschaftlichen Ethik großen Wert bei. Zu diesen gehört auch die strikte Verfolgung von Plagiarismus. Weitere Infos unter [www.informatik.tu-darmstadt.de/plagiarism](http://www.informatik.tu-darmstadt.de/plagiarism)