

Übung zur Vorlesung Technische Grundlagen der Informatik

Prof. Dr. Andreas Koch
Thorsten Wink



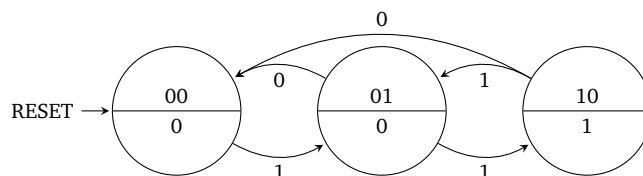
TECHNISCHE
UNIVERSITÄT
DARMSTADT

Wintersemester 09/10
Übungsblatt 8

In dieser Übung werden einige Aufgaben die Sprache VHDL behandeln. Im Lehrbuch sind viele Beispiele enthalten, die Verilog und VHDL direkt gegenüberstellen. Weitere Tutorials zu VHDL finden sich leicht im Internet. Zur Simulation von VHDL kann XILINX ISE verwendet werden. Hier muss beim Anlegen des Projekts die Sprache VHDL eingestellt werden.

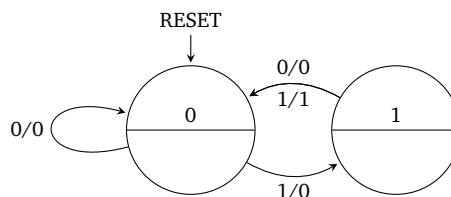
Aufgabe 8.1 Moore-Automat in Verilog

Beschreiben Sie den folgenden Automaten in Verilog.



Aufgabe 8.2 Mealy-Automat in Verilog

Beschreiben Sie den folgenden Automaten in Verilog.



Aufgabe 8.3 Automatensimulation

Schreiben Sie einen Testrahmen, der die beiden Automaten aus den vorherigen Aufgaben instanziiert und simuliert. Verdeutlichen Sie sich die Unterschiede zwischen den Automatentypen.

Aufgabe 8.4 Zähler in VHDL

Beschreiben Sie einen 4-Bit Zähler mit asynchronem Reset-Signal in VHDL.

Aufgabe 8.5 Verilog vs. VHDL

Vergleichen Sie die Datentypen reg und wire aus Verilog mit dem signal in VHDL.

Hausaufgabe 8.1 Automat in VHDL

Beschreiben Sie den Automaten aus Aufgabe 8.1 in VHDL.

Hausaufgabe 8.2 Up/Down Zähler

Beschreiben Sie einen Zähler in VHDL, der einen Eingang `dir` hat, mit dem die Zählrichtung umgeschaltet werden kann. Ist `dir` 0, so soll aufwärts gezählt werden, ist `dir` 1, soll abwärts gezählt werden. Die Bitbreite soll über einen Parameter (Standard 8 Bit) einstellbar sein. Simulieren Sie den Zähler und testen Sie beide Betriebsmodi.

Plagiarismus

Der Fachbereich Informatik misst der Einhaltung der Grundregeln der wissenschaftlichen Ethik großen Wert bei. Zu diesen gehört auch die strikte Verfolgung von Plagiarismus. Weitere Infos unter www.informatik.tu-darmstadt.de/plagiarism