

24.04.2006

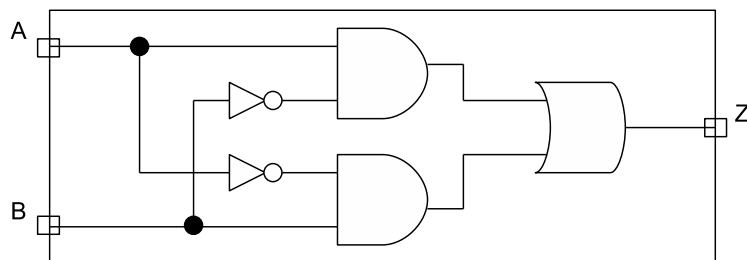
# Verilog Aufgabenblatt Sommersemester 2006

## Aufgabe 1: Datentypen

- a) Wie können Werte an **wire**-Variablen zugewiesen werden? Geben Sie Beispiele an. Können Wires Werte speichern?
- b) In welchem Fall beschreibt eine **reg**-Variable nach der Übersetzung in Hardware (Synthese) ein Flip-Flop, wann eine Drahtverbindung? Hinweis: Die Lösung hat etwas mit Aufgabe 2 b) zu tun...

## Aufgabe 2: Kombinatorische Logik

- a) Schreiben Sie ein Verilog-Modul für die folgende Schaltung.



- b) Auf welche Arten kann kombinatorische Logik in Verilog beschrieben werden?

## Aufgabe 3: Sequenzielle Logik

Gegeben ist folgendes Code-Fragment:

```
module foo(CLK, INP, OUT);  
    input CLK, INP;  
    output OUT;  
    reg A, B;  
    wire OUT=B;  
    always @(posedge CLK) begin  
        A <= INP;  
        B <= A;  
    end  
endmodule
```

**a)** Was ist die Funktion dieses Moduls?

**b)** Was passiert, wenn man die Zuweisungen vom Typ "<=" durch welche vom Typ "=" ersetzt? Erklären Sie die Unterschiede der beiden Zuweisungstypen und wann sie jeweils verwendet werden.

## Aufgabe 4: Ampel

**a)** Schreiben Sie eine Testumgebung analog zu Folie 31 der Verilog-Einführung für die Ampel-Zustandsmaschine (Folie 34). Die Ampel soll 10 Takte "rot" zeigen, danach einen Takt "rot-gelb", 5 Takte "grün" und schließlich 2 Takte "gelb", bevor sich das Spiel wiederholt.

**b)** Simulieren Sie Ihr Ergebnis aus a) mit dem Icarus Verilog-Simulator wie auf den Folien 22 ff. der Verilog-Einführung beschrieben. Erzeugen Sie dabei Textausgaben und Waveforms aller Signale.