

# Masterarbeit

## Fachbereich Informatik

Bereich: Informatik, Technische Informatik

Thema: Auswirkung von Codeänderungen auf Hochsprachenebene auf die High-Level-Synthesis und die Ausführung auf Prozessoren

Beschreibung: Die Firma ZES ZIMMER Electronic Systems GmbH entwickelt und produziert Präzisionsleistungsmessgeräte. Innerhalb dieser Messgeräte werden analoge Signale mit bis zu 1.2 MS/s abgetastet. Für verschiedene Aufgaben, wie z.B. das digitale Filtern dieser Abtastwerte, wird pro Spannungs-/Stromkanal ein FPGA von Xilinx verwendet, dessen interne Logik in VHDL beschrieben wird. Aufgrund der Reduzierung des Entwicklungsaufwandes laufen viele andere Aufgaben aber auf einer leistungsfähigen Intel CPU:

- Das Finden statistischer UIP Kennwerte wie z.B. RMS (Root-Mean-Square), Min/Max Peak oder elektrischer Wirkleistung.
- Die Berechnung der FFT zum Ermitteln des Frequenz-Spektrums
- Das Bereitstellen verschiedener Puffer mit Abtastwerten für den Zugriff von anderen Komponenten des Gerätes, u.v.m.

Für die Realisierung eines 1-Kanal-Gerätes ist angedacht, auf einen weniger leistungsstarken und günstigeren CPU zu wechseln, dafür aber die Berechnung von UIP Werten und des Frequenzspektrums auf ein FPGA zu verlegen. Angestrebt wird die Verwendung eines Xilinx Zynq SoC, in dem eine ARM Cortex-A9 CPU integriert ist. Um Entwicklungskosten einzusparen, sollen große Teile der vorhandenen C/C++ Implementierung übernommen werden.

Das Ziel der Masterarbeit ist, die Performance der vorhandenen Implementierungen auf den jeweiligen Architekturen (Intel x86, ARM Cortex-A9 und Xilinx Zynq FPGA) zu optimieren. Dafür soll zunächst sowohl der Einfluss verschiedener Quellcodemodifikationen auf die Ausführungseffizienz der synthetisierten oder kompilierten Anwendungen auf den verschiedenen Zielplattformen untersucht werden, als auch deren Einfluss auf die Synthesedauer mit HLS. Mit dieser Erkenntnis soll das Ziel der Performance-Optimierung dann erreicht werden. Die Performance-Metriken „Ausführungsgeschwindigkeit“, „Synthesedauer“, „Anzahl Logikelemente“, „Platzbedarf“ (auf dem FPGA), „Arbeitsspeichernutzung“ und „Programmgröße“ werden dabei auf jeden Fall untersucht. Weitere Metriken können aber im Verlauf der Bearbeitung gefunden werden und Beachtung finden.

Umfang:

Die Masterarbeit umfasst:

1. Einarbeiten in die Architekturen von Intel-x86 und ARM Cortex-A9 Prozessoren, sowie der Architektur von Xilinx Zynq FPGAs in Kombination mit Xilinx Vivado für die HLS.
2. Finden und Dokumentieren von Änderungen der C++ Quellcode-Basis, die einen Einfluss auf das Laufzeit- oder Syntheseverhalten haben.
3. Implementierung der folgenden Berechnungen bzw. Algorithmen in HLS-fähigem C++ Quellcode, der möglichst effizient auf den Architekturen läuft:

- o UIP Werte.

$$U_{rms} = \sqrt{\frac{1}{N} \sum_{n=1}^N u_n \cdot u_n}$$

$$U_{DC} = \frac{1}{N} \sum_{n=1}^N u_n$$

$$U_{pk+} = \max_{n=1}^N (u_n)$$

$$U_{pk-} = \min_{n=1}^N (u_n)$$

Das gleiche jeweils auch für das I-Signal.

$$P = \sum_{n=1}^N u_n \cdot i_n$$

Wobei  $u_n, i_n$  das jeweils n-te Sample vom U- und I-Signal ist.

- o [REDACTED]
- o [REDACTED]

4. Anwenden der Ergebnisse aus (2) auf die Implementierungen für (3), um eine Performance-Maximierung zu erreichen. Untersucht werden verschiedene Performance-Metriken, unter anderem „Ausführungsgeschwindigkeit“, „Synthesedauer“, „Anzahl Logikelemente“, „Platzbedarf“, „Arbeitsspeichernutzung“ und „Programmgröße“.

Zeitraum:

6 Monate

Weitere Info:

ZES ZIMMER Electronic Systems GmbH  
Tabaksmühlenweg 30  
61440 Oberursel  
Tel. 06171/88832-60  
Ansprechpartner / Betreuer: Tobias Vollberg