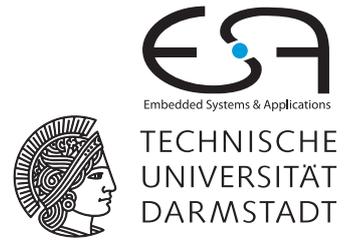


Projektseminar: CGRA Floorplanning



Die regelmäßigen Strukturen eines CGRAs eignen sich zur Optimierung durch Floorplanning. Als Vorbereitung auf eine Abschlussarbeit zu diesem Thema sollen in einem 9CP Projektseminar zunächst folgende Aufgaben umgesetzt werden:

- Einarbeitung in das Java-Framework zur Generierung des Verilog-Codes eines CGRAs
- Implementierung einzelner Fixed-Point Operatoren: ADD, SUB, MUL, DIV
 - Verilog Generierung
 - Funktionale Verifikation
 - Synthese-Ergebnisse für verschiedene Bitbreiten
- Implementierung eines TCL-Generators für Vivado Floorplanning-Direktiven
 - Java-API für grundlegende Floorplanning-Direktiven
 - Funktionale Verifikation durch Synthese eines exemplarischen CGRAs (Veränderungen dokumentieren)
- Optional: Design-Space-Exploration Werkzeug
 - Automatische Synthese für verschiedene Floorplanning-Einstellungen
 - Übersichtliche Darstellung der Zusammenhänge (Einstellung ↔ Performanz)

Der Arbeitsfortschritt ist durch regelmäßiges synchronisieren mit einer Versionsverwaltung (git) zu dokumentieren. Alle Quelldateien sind angemessen zu Kommentieren.

Diese Aufgabenstellung wurde akzeptiert durch

Datum, Prof. Dr.-Ing. Andreas Koch (Prüfer)

Datum, Patrick von Halem (Student)